

BUNDESREPUBLIK DEUTSCHLAND 4

12/18
PRIORITY DOCUMENT
 SUBMITTED OR TRANSMITTED IN
 COMPLIANCE WITH
 RULE 17.1(a) OR (b)



DE 00/1368

REC'D 09 JUN 2000

WIPO

PCT

Bescheinigung

Herr Michael Klemt in München/Deutschland hat eine Patentanmeldung
 unter der Bezeichnung

"Schaltungsanordnung zur galvanisch isolierten Ansteuerung
 eines Leistungstransistors"

am 27. Dezember 1999 beim Deutschen Patent- und Markenamt eingereicht
 und erklärt, daß er dafür die Innere Priorität der Anmeldung in der Bundesrepublik
 Deutschland vom 10. Februar 1999, Aktenzeichen 199 05 500.9 in Anspruch nimmt.


Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprüngli-
 chen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig die Symbole
 H 03 K und H 02 M der Internationalen Patentklassifikation erhalten.

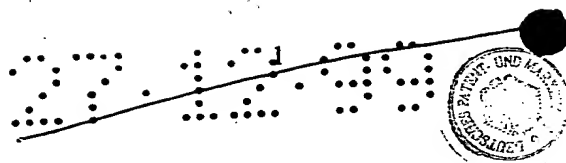
München, den 29. Mai 2000

Deutsches Patent- und Markenamt**Der Präsident**

Im Auftrag


 Aktenzeichen: 199 63 330.4

Dzierzon



Schaltungsanordnung zur galvanisch isolierten Ansteuerung eines Leistungstransistors

Beschreibung

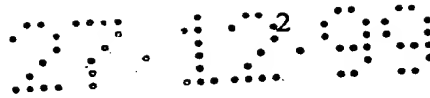
5

Die Erfindung betrifft eine Schaltungsanordnung zur Ansteuerung eines ladungsgesteuerten Leistungsschalters über einen Übertrager mit positiven und negativen Spannungsimpulsen.

Bei einer solchen Schaltungsanordnung werden die Impulse von der Primärseite des Übertragers unverändert auf die Sekundärseite übertragen. Diese Übertragung gelingt nur dann fehlerfrei, wenn die Spannungs-Zeit-Flächen der positiven und negativen Spannungsimpulse gleich sind. Ein Leistungsschalter benötigt zum Einschalten einen positiven Spannungsimpuls und zum Ausschalten einen negativen Spannungsimpuls. In den meisten Fällen verändert sich bei gleichbleibender Periode das Verhältnis zwischen der Dauer des positiven und negativen Impulses (Tastverhältnis), so daß die Spannungs-Zeit-Flächen ungleich werden und der Übertrager nach einer gewissen Zeit in Sättigung gerät. Dies führt dazu, daß die Spannung am Eingang des Übertragers einbricht oder die Amplituden sich verändern, falls an einem Eingang der Primärseite des Übertragers ein Kondensator in Serie geschaltet ist. Es ist also bisher nicht möglich, den für die Einschaltung und Ausschaltung eines Leistungsschalters erforderlichen Spannungsimpuls mit einem beliebigen Tastverhältnis stets einwandfrei mit Hilfe eines Übertragers zu erzeugen.

Aus JP 62-25418A ist eine Gate-Treiberschaltung bekannt, bei der sich auf der Sekundärseite des Übertragers zwei Feldeffekttransistoren befinden, deren Gate-Anschlüsse direkt an die Abgangsleitungen des Übertragers angeschlossen sind.

Aus WO 93/11609 A1 ist eine Schaltungsanordnung bekannt, bei der in den Eingang des Übertragers zwei verschiedenen Impulsfolgen mit unterschiedlichen Amplituden eingegeben werden, wobei nur die positiven Impulse der ersten Impulsfolge und nur die negativen Impulse der zweiten Impulsfolge auf der Sekundärseite des Übertragers gleichgerichtet werden.



Der Erfindung liegt die Aufgabe zugrunde, in einen Übertrager kurzzeitige Impulse einzugeben, die nicht zur Sättigung des Übertragers führen und die eingegebenen Impulse auf der Sekundärseite des Übertragers so aufzubereiten, daß der Leistungsschalter zuverlässig Ein- und ausgeschaltet ist.

5

Diese Aufgabe wird durch die in den Patentansprüchen eins bis sieben gekennzeichneten Merkmale gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen gekennzeichnet.

- 10 Der wesentliche Vorteil der Erfindung besteht darin, daß bei nur kurzzeitigen Eingangsimpulsen in den Übertrager durch die auf der Sekundärseite des Übertragers eingeschalteten Feldeffekttransistoren die für das sichere Ein- und Ausschalten des Leistungstransistors erforderlichen längeren Impulse erzeugt werden. In den Übertrager werden also nur kurze Impulse eingegeben, die nicht zur Sättigung desselben führen. Liegt
- 15 ein Impuls in positiver Richtung an der Sekundärseite des Übertragers an, so ist einer der beiden Feldeffekttransistoren eingeschaltet und die Freilaufdiode des anderen Transistors wird in Durchlaßrichtung betrieben, so daß die Spannung an der Sekundärseite des Übertragers am zu schaltenden Leistungstransistor anliegt. Bei einem Impuls in negativer Richtung besitzen die Transistoren eine vertauschte Funktion, so daß am zu schaltenden
- 20 Leistungstransistor die negative Spannung anliegt. Liegt kein Impuls an, so wird die Freilaufdiode nicht mehr in Durchlaßrichtung sondern in Sperrichtung betrieben, wodurch die am Gate des Leistungsschalters anliegende Spannung vorhanden bleibt, da die Ladungsträger nicht abfließen können.

- 25 Die Erfindung wird nachstehend an Hand von in der Zeichnung dargestellten Schaltungsbildern näher erläutert. Es zeigen:

Fig. 1 zeigt die Ansteuerung eines Leistungsschalters über einen Übertrager nach dem Stand der Technik.

- Fig. 2 zeigt die erfindungsgemäße Schaltungsanordnung zur Ansteuerung des Leistungsschalters, wobei die Gate-Anschlüsse der auf der Sekundärseite sich befindenden Feldeffekttransistoren über eine Serienschaltung aus Widerstand und Zenerdiode mit den Drain-Anschlüssen des jeweilig anderen Feldeffekttransistors verbunden sind.
- 30

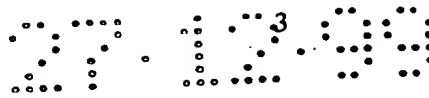


Fig. 3 zeigt eine weitere erfindungsgemäße Ausführung zur Ansteuerung des Leistungsschalters, wobei die Gate-Anschlüsse der auf der Sekundärseite sich befindenden Feldeffekttransistoren über eine Serienschaltung aus Widerstand und Zenerdiode mit den Source-Anschlüssen des jeweilig anderen Feldeffekttransistors verbunden sind.

5

Fig. 4 zeigt eine weitere erfindungsgemäße Ausführung zur Ansteuerung des Leistungsschalters, wobei der Gate-Anschluß des ersten Feldeffekttransistors über eine Serienschaltung aus Widerstand und Zenerdiode mit dem Source-Anschluß des zweiten Feldeffekttransistors und der Gate-Anschluß des zweiten Feldeffekttransistors über eine Serienschaltung aus Widerstand und Zenerdiode mit dem Drain-Anschluß des ersten Feldeffekttransistors verbunden ist.

10

Fig. 5 zeigt eine weitere erfindungsgemäße Ausführung zur Ansteuerung des Leistungsschalters, wobei der Gate-Anschluß des ersten Feldeffekttransistors über eine Serienschaltung aus Widerstand und Zenerdiode mit dem Drain-Anschluß des zweiten Feldeffekttransistors und der Gate-Anschluß des zweiten Feldeffekttransistors über eine Serienschaltung aus Widerstand und Zenerdiode mit dem Source-Anschluß des ersten Feldeffekttransistors verbunden ist.

15

Fig. 6 zeigt in einem Diagramm die Anordnung von in den Übertrager einzugebenden Spannungsimpulsen in Abhängigkeit von der Zeit und

Fig. 7 zeigt in einem Diagramm die nach der Aufbereitung durch Feldeffekttransistoren im Sekundärbereich des Übertragers am Leistungsschalter anliegenden Spannungsimpulse in Abhängigkeit von der Zeit.

20

Entsprechend dem Stand der Technik nach Fig. 1 kann ein Signal U_a über einen Übertrager \ddot{U} an einen Leistungsschalter LT übertragen werden. Wenn das auf der Primärseite des Übertragers \ddot{U} anliegende Signal fehlerfrei auf die Sekundärseite übertragen werden soll, müssen die Spannungs-Zeit-Flächen der positiven und negativen Spannungsimpulse gleich groß sein. Bei ungleichen Spannungs-Zeit-Flächen gerät der Übertrager nach einer gewissen Zeit in Sättigung, was zur Folge hat, daß die Spannungsimpulse nicht mehr die gewünschte Kurvenform besitzen.

30

Bei der Schaltungsanordnung gemäß der Erfindung nach Fig. 2 sind in den Abgangsleitungen $\ddot{U}1$ und $\ddot{U}2$ des Sekundärteils des Übertragers \ddot{U} Feldeffekttransistoren

F1 und F2 eingeschaltet. Der Feldeffekttransistor F1 liegt mit seinem Source-Anschluß S und seinem Drain-Anschluß D unter Zwischenschaltung einer internen Diode D1 direkt in der Abgangsleitung Ü1. Sein Gate-Anschluß G ist unter Zwischenschaltung eines Widerstandes R1 und einer Zenerdiode Z1 mit dem Drain-Anschluß D von F2 verbunden.

5 Der Feldeffekttransistor F2 liegt sinngemäß mit seinem Source-Anschluß S und seinem Drain-Anschluß D unter Zwischenschaltung einer internen Diode D2 in der Abgangsleitung Ü2. Sein Gate-Anschluß G ist unter Zwischenschaltung eines Widerstandes R2 und einer Zenerdiode Z2 mit dem Drain-Anschluß D von F1 verbunden. Der Gate-Anschluß G des Leistungsschalters LT ist mit der Drain-Anschluß D von F1 und der Source-Anschluß S des

10 Leistungsschalters mit dem Drain-Anschluß D von F2 verbunden. Zwischen dem Gate-Anschluß G und dem Source-Anschluß S des Leistungsschalters LT ist eine im Leistungstransistor LT vorhandene Eingangskapazität C und ein Widerstand R3 parallel geschaltet.

15 Die Funktion der Schaltungsanordnung nach Fig. 2 ist wie folgt:

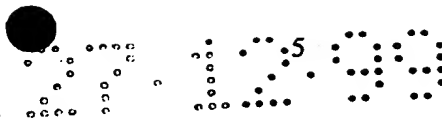
In den Eingang des Übertragers Ü wird ein Spannungssignal U1 bestehend aus positiven Impulsen (Amplitude U1p, Dauer T1p) und negativen Impulsen (Amplitude U1n, Dauer T1n) eingegeben (siehe Fig. 6). Dabei entspricht die Dauer der Periode T des Spannungssignals U1 der Länge der zur Ansteuerung des Leistungstransistors LT

20 erforderlichen Periode T der auf der Sekundärseite des Übertragers Ü aufbereiteten Impulse (T3p, T3n, siehe Fig. 7). Die Impulse T1p und T1n sind gleich lang und im allgemeinen nicht länger als fünf μ sec und der Betrag der Amplituden U1p und U1n ist gleich groß. Die Impulse T1p und T1n werden auf Grund ihrer gleich kurzen Dauer und des gleichen Betrages ihrer Amplituden (gleiche Spannungs-Zeit-Flächen) ohne Verzerrung auf die

25 Sekundärseite des Übertragers Ü übertragen.

Bei einem positiven Spannungsimpuls U1p wird die Diode D1 in Durchlaßrichtung betrieben, so daß am Gate-Anschluß des Feldeffekttransistors F2 eine positive Spannung gegenüber dem Source-Anschluß S von F2 anliegt. Somit ist der Feldeffekttransistor F2

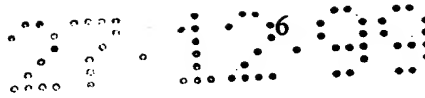
30 eingeschaltet und die Drain-Source-Strecke von F2 niederohmig. Dann liegt am Leistungstransistor LT ein positiver Impuls mit der Spannungshöhe $U_{3p} = U_{1p} - U_{D1} - U_{DS2}$. Damit ist der Leistungstransistor LT eingeschaltet. Hierbei ist: U_{D1} der Spannungsabfall an der Diode D1 in Durchlaßrichtung und U_{DS2} der Spannungsabfall



zwischen dem Drain und dem Source von F2. Diese beiden Spannungsabfälle sind klein gegenüber U_{1p} , so daß U_{3p} nur geringfügig kleiner ist als U_{1p} . Wenn die Spannung U_{1p} auf 0 Volt abfällt (siehe Fig. 6) wird die Diode D1 in Sperrichtung betrieben, wodurch die am Gate-Anschluß des Leistungstransistors LT anliegende Spannung U_{3p} (Spannung an der Eingangskapazität C) vorhanden bleibt, da die Entladung über den Widerstand R3 nur sehr langsam stattfindet. Somit bleibt die positive Spannung U_{3p} während der gesamten Dauer von T3p bestehen (siehe Fig. 7). Dabei ist vorausgesetzt, daß die Zeitkonstante bestehend aus dem Widerstand R3 und der Kapazität C mehr als zehn mal so groß ist wie Periode T des Signals U_3 . Nur dann ist die Entladung über den Widerstand R3 zu vernachlässigen. Der Widerstand R3 gewährleistet, daß sich der Gate-Anschluß G des Leistungstransistors LT bei ausgeschalteter Elektronik nicht elektrostatisch aufladen kann.

Bei einem negativen Spannungsimpuls U_{1n} wird die Diode D2 in Durchlaßrichtung betrieben, so daß am Gate-Anschluß des Feldeffekttransistors F1 eine positive Spannung gegenüber dem Source-Anschluß S von F1 anliegt. Somit ist der Feldeffekttransistor F1 eingeschaltet und die Drain-Source-Strecke von F1 niederohmig. Dann liegt am Leistungstransistor LT ein negativer Impuls mit der Spannungshöhe $U_{3n} = U_{1n} + U_{D2} + U_{DS1}$. Damit ist der Leistungstransistor LT ausgeschaltet. Hierbei sind wieder die beiden Spannungsabfälle U_{D2} und U_{DS1} klein gegenüber U_{3n} , so daß der Betrag von U_{3n} nur geringfügig kleiner ist als der Betrag von U_{1n} . Wenn die Spannung U_{1n} auf 0 Volt abfällt (siehe Fig. 6) wird die Diode D2 in Sperrichtung betrieben, wodurch die am Gate des Leistungstransistors LT anliegende Spannung U_{3n} (Spannung an der Eingangskapazität C) vorhanden bleibt, da die Entladung über den Widerstand R3 nur sehr langsam stattfindet. Somit bleibt die negative Spannung U_{3n} während der gesamten Dauer von T3n bestehen (siehe Fig. 7).

Die Widerstände R1 und R2 sind von entscheidender Bedeutung: Die Induktivitäten des Übertragers bilden mit den Eingangskapazitäten der Feldeffekttransistoren, die zwischen den Gate- und Source-Anschlüssen liegen, einen Schwingkreis, der ohne die Widerstände R1 und R2 nahezu ungedämpft ist. Eine weitere Aufgabe der Widerstände R1 und R2 besteht darin, eingekoppelte, hochfrequente Störimpulse so zu filtern, daß diese nicht an die Gate-Anschlüsse der Feldeffekttransistoren F1 und F2 gelangen. Durch die Zenerdioden Z1 und Z2 wird erreicht, daß die Einschaltsschwellen, ab der die Feldeffekttransistoren F1 und



16

F2 schalten, um die Durchbruchspannungen der Zenerdioden erhöht werden. Die Schaltungsanordnung wird somit unempfindlich gegenüber Störimpulsen. Diese Störimpulse entstehen beim Abschalten des Magnetisierungsstromes und schwingen über den Nullpunkt in entgegengesetzter Richtung. Desweiteren entstehen Störimpulse durch kapazitiv durchgekoppelte Anteile der Lastspannung. Ohne die aufgeführten Maßnahmen können die Störimpulse zu Fehlschaltungen am Leistungsschalter LT führen.

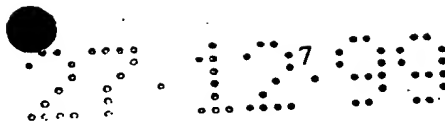
Der Unterschied der Fig. 3 besteht darin, daß die Gate-Anschlüsse über eine Serienschaltung aus Widerstand und Zenerdiode mit den Source-Anschlüssen des jeweilig anderen Feldeffekttransistors verbunden sind. Bei der Fig. 4 wird nur der Feldeffekttransistor F1 über eine Serienschaltung aus Widerstand und Zenerdiode mit dem Source-Anschluß von F2 verbunden und bei der Fig. 5 wird nur der Feldeffekttransistor F2 über eine Serienschaltung aus Widerstand aus Zenerdiode mit dem Source-Anschluß von F1 verbunden. Wird eine Schaltungsanordnung verwendet, bei der einer oder beide Gate-Anschlüsse mit dem Source-Anschluß des jeweilig anderen Feldeffekttransistors verbunden sind, so muß in jedem Fall in die Verbindungsleitung, die zum Source-Anschluß führt, beide Bauelemente (Zenerdiode und Widerstand) zwischengeschaltet werden. In diesem Fall ist die Durchlaßspannung der Freilaufdiode (D1, D2) nicht in den Einschalt- oder Ausschaltkreis einbezogen und kann somit die Einschaltsschwelle nicht erhöhen.

20

Die Schaltungsanordnung ist, geeignet für die potentialfreie Ansteuerung von ladungsgesteuerten Leistungsschaltern, insbesondere MOS-Feldeffekttransistoren oder IGB-Transistoren. Die Signalquelle für die Impulse an der Primärseite des Übertragers \bar{U} wird zweckmäßig sehr niederohmig gewählt, wodurch ein schnelles Schalten des Leistungsschalters LT ermöglicht wird. Würde die Dauer einer der Impulse T_{3p} oder T_{3n} kleiner als die Dauer des entsprechenden Impulses T_{1p} bzw. T_{1n} werden, so muß der Schaltungsteil auf der Primärseite des Übertragers \bar{U} dafür sorgen, daß die Dauer des Impulses T_{1p} bzw. T_{1n} auf T_{3p} bzw. T_{3n} begrenzt wird. Die Schaltungsanordnung kann vielseitig in Schaltnetzteilen und Umrichtern zum Ansteuern von Leistungsschaltern eingesetzt werden.

30

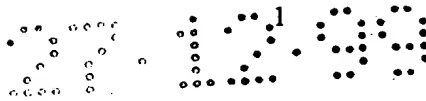
Die im Anspruch 16 gekennzeichneten Merkmale ergeben sich bei einer Schaltungsanordnung mit entgegengesetztem Wicklungssinn von Primär- und



M

Sekundärseite des Übertragers. Die Impulse an den Wicklungsabgängen Ü1, Ü2 haben dann ebenso wie die Impulse T3n, T3p am Leistungstransistor LT eine umgekehrte Spannungsrichtung.

- 5 Durch den Einsatz der erfundenen Schaltungsanordnung zur Ansteuerung von ladungsgesteuerten Leistungsschaltern ergeben sich wesentliche Vorteile gegenüber der bisher üblichen Praxis: Plus- und Minusspannungen werden so galvanisch isoliert übertragen, daß ein sicheres Ein- und Ausschalten des Leistungstransistors gewährleistet ist. Dabei bleibt die Amplitude in positiver und negativer Richtung unabhängig vom
- 10 Tastverhältnis konstant. Die galvanisch isolierte Übertragung ermöglicht das Ansteuern eines Leistungstransistors, dessen Potential wesentlich höher ist als das Potential der Ansteuer-Elektronik. Die Schaltgeschwindigkeit des Leistungstransistors wird durch den Ausgangswiderstand der Impulsquelle auf der Primärseite des Übertragers bestimmt und kann somit optimal eingestellt werden. Die Isolationsfestigkeit zwischen Steuerelektronik
- 15 und Leistungskreis kann bei entsprechender Auslegung des Übertragers extrem hohe Werte annehmen. Der wichtigste Vorteil besteht in der kleinen Baugröße des Übertragers, die sich aufgrund der kurzen Impulsdauer (T1p und T1n) des zu übertragenden Impulses ergibt.



Schaltungsanordnung zur galvanisch isolierten Ansteuerung eines Leistungstransistors

Patentansprüche

5

1. Schaltungsanordnung zur Ansteuerung von ladungsgesteuerten Leistungsschaltern über einen Übertrager mit positiven und negativen Spannungsimpulsen, wobei

10

- in den Eingang des Übertragers (Ü) Spannungsimpulse (T1p, T1n) in positiver und negativer Richtung von kurzer Dauer eingegeben werden, die auf der Sekundärseite durch zwei in den Abgangsleitungen (Ü1, Ü2) des Übertragers (Ü) eingesetzte Feldeffekttransistoren (F1, F2) in Impulse in positiver und negativer Richtung (T3p, T3n), deren Impulsdauer bis zum Beginn des nächsten Eingangsimpulses mit umgekehrter Spannungsrichtung (T1n, T1p) verlängert werden, umgewandelt werden, die den Leistungsschalter (LT) ansteuern,

15

- der Source-Anschluß des ersten Feldeffekttransistors (F1) mit einer Abgangsleitung (Ü1) und der Source-Anschluß des zweiten Feldeffekttransistors (F2) mit der anderen Abgangsleitung (Ü2) des Übertragers verbunden ist,

20

- der Drain-Anschluß des ersten Feldeffekttransistors (F1) mit dem Steueranschluß (G) des Leistungsschalters (LT) und der Drain-Anschluß des zweiten Feldeffekttransistors (F2) mit einem weiteren Anschluß des Leistungsschalters (LT) verbunden ist, und wobei

- der Gate-Anschluß des ersten Feldeffekttransistors (F1) über einen ersten Widerstand (R1) mit dem Drain-Anschluß des zweiten Feldeffekttransistors (F2) und der Gate-Anschluß des zweiten Feldeffekttransistors (F2) über einen zweiten Widerstand (R2) mit dem Drain-Anschluß des ersten Feldeffekttransistors (F1) verbunden ist.

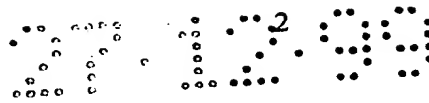
25

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß zu dem ersten und dem zweiten Widerstand (R1, R2) jeweils eine Zenerdiode in Reihe geschaltet ist.

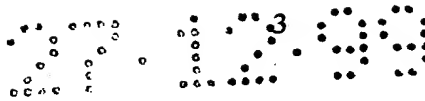
30

3. Schaltungsanordnung zur Ansteuerung von ladungsgesteuerten Leistungsschaltern über einen Übertrager mit positiven und negativen Spannungsimpulsen, wobei

- in den Eingang des Übertragers (Ü) Spannungsimpulse (T1p, T1n) in positiver und negativer Richtung von kurzer Dauer eingegeben werden, die auf der Sekundärseite durch zwei in den Abgangsleitungen (Ü1, Ü2) des Übertragers (Ü) eingesetzte



- Feldeffekttransistoren (F1, F2) in Impulse in positiver und negativer Richtung (T3p, T3n), deren Impulsdauer bis zum Beginn des nächsten Eingangsimpulses mit umgekehrter Spannungsrichtung (T1n, T1p) verlängert werden, umgewandelt werden, die den Leistungsschalter (LT) ansteuern,
- 5 - der Source-Anschluß des ersten Feldeffekttransistors (F1) mit einer Abgangsleitung (Ü1) und der Source-Anschluß des zweiten Feldeffekttransistors (F2) mit der anderen Abgangsleitung (Ü2) des Übertragers verbunden ist,
- der Drain-Anschluß des ersten Feldeffekttransistors (F1) mit dem Steueranschluß (G) des Leistungsschalters (LT) und der Drain-Anschluß des zweiten Feldeffekttransistors
- 10 (F2) mit einem weiteren Anschluß des Leistungsschalters (LT) verbunden ist, und wobei
- der Gate-Anschluß des ersten Feldeffekttransistors (F1) über eine Serienschaltung, bestehend aus einem ersten Widerstand (R1) und einer ersten Zenerdiode (Z1), mit dem Source-Anschluß des zweiten Feldeffekttransistors (F2) und der Gate-Anschluß des zweiten Feldeffekttransistors (F2) über eine Serienschaltung, bestehend aus einem
- 15 zweiten Widerstand (R2) und einer zweiten Zenerdiode (Z2), mit dem Source-Anschluß des ersten Feldeffekttransistors (F1) verbunden ist.
4. Schaltungsanordnung zur Ansteuerung von ladungsgesteuerten Leistungsschaltern über einen Übertrager mit positiven und negativen Spannungsimpulsen, wobei
- 20 - in den Eingang des Übertragers (Ü) Spannungsimpulse (T1p, T1n) in positiver und negativer Richtung von kurzer Dauer eingegeben werden, die auf der Sekundärseite durch zwei in den Abgangsleitungen (Ü1, Ü2) des Übertragers (Ü) eingesetzte Feldeffekttransistoren (F1, F2) in Impulse in positiver und negativer Richtung (T3p, T3n), deren Impulsdauer bis zum Beginn des nächsten Eingangsimpulses mit umgekehrter Spannungsrichtung (T1n, T1p) verlängert werden, umgewandelt werden, die den Leistungsschalter (LT) ansteuern,
- 25 - der Source-Anschluß des ersten Feldeffekttransistors (F1) mit einer Abgangsleitung (Ü1) und der Source-Anschluß des zweiten Feldeffekttransistors (F2) mit der anderen Abgangsleitung (Ü2) des Übertragers verbunden ist,
- 30 - der Drain-Anschluß des ersten Feldeffekttransistors (F1) mit dem Steueranschluß (G) des Leistungsschalters (LT) und der Drain-Anschluß des zweiten Feldeffekttransistors (F2) mit einem weiteren Anschluß des Leistungsschalters (LT) verbunden ist, und wobei



14

- der Gate-Anschluß des ersten Feldeffekttransistors (F1) über eine Serienschaltung, bestehend aus einem ersten Widerstand (R1) und einer ersten Zenerdiode (Z1), mit dem Source-Anschluß des zweiten Feldeffekttransistors (F2) und der Gate-Anschluß des zweiten Feldeffekttransistors (F2) über einen zweiten Widerstand (R2) mit dem Drain-Anschluß des ersten Feldeffekttransistors (F1) verbunden ist.

5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß zu dem zweiten Widerstand (R2) eine zweite Zenerdiode (Z2) in Reihe geschaltet ist.

6. Schaltungsanordnung zur Ansteuerung von ladungsgesteuerten Leistungsschaltern über einen Übertrager mit positiven und negativen Spannungsimpulsen, wobei

- in den Eingang des Übertragers (Ü) Spannungsimpulse (T1p, T1n) in positiver und negativer Richtung von kurzer Dauer eingegeben werden, die auf der Sekundärseite durch zwei in den Abgangsleitungen (Ü1, Ü2) des Übertragers (Ü) eingesetzte Feldeffekttransistoren (F1, F2) in Impulse in positiver und negativer Richtung (T3p, T3n), deren Impulsdauer bis zum Beginn des nächsten Eingangsimpulses mit umgekehrter Spannungsrichtung (T1n, T1p) verlängert werden, umgewandelt werden, die den Leistungsschalter (LT) ansteuern,

- der Source-Anschluß des ersten Feldeffekttransistors (F1) mit einer Abgangsleitung (Ü1) und der Source-Anschluß des zweiten Feldeffekttransistors (F2) mit der anderen Abgangsleitung (Ü2) des Übertragers verbunden ist,

- der Drain-Anschluß des ersten Feldeffekttransistors (F1) mit dem Steueranschluß (G) des Leistungsschalters (LT) und der Drain-Anschluß des zweiten Feldeffekttransistors (F2) mit einem weiteren Anschluß des Leistungsschalters (LT) verbunden ist, und wobei

- der Gate-Anschluß des ersten Feldeffekttransistors (F1) über einem ersten Widerstand (R1) mit dem Drain-Anschluß des zweiten Feldeffekttransistors (F2) und der Gate-Anschluß des zweiten Feldeffekttransistors (F2) über eine Serienschaltung, bestehend aus einem zweiten Widerstand (R2) und einer zweiten Zenerdiode (Z2), mit dem Source-Anschluß des ersten Feldeffekttransistors (F1) verbunden ist.

7. Schaltungsanordnung nach Anspruch 6, dadurch gekennzeichnet, daß zu dem ersten Widerstand (R1) eine erste Zenerdiode (Z1) in Reihe geschaltet ist.



15

8. Schaltungsanordnung nach einem oder mehreren der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß zwischen dem Steueranschluß (G) und einem weiteren Anschluß des Leistungsschalters (LT) ein dritter Widerstand (R3) geschaltet ist.

5

9. Schaltungsanordnung nach einem oder mehreren der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß als Leistungsschalter (LT) ein MOS-FET (metal oxide semiconductor field effect transistor) oder ein IGBT (insulated gate bipolar transistor) verwendet wird.

10

10. Schaltungsanordnung nach einem oder mehreren der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die Dauer der in den Eingang des Übertragers (Ü) eingegebenen Spannungsimpulse (T1p, T1n) fünf μ s nicht übersteigt und kürzer oder gleich der Zeitdauer für den Einschaltimpuls (T3p) und kürzer oder gleich der Zeitdauer für den Ausschaltimpuls (T3n) des Leistungsschalters (LT) ist.

15

11. Schaltungsanordnung nach einem oder mehreren der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß in den Feldeffekttransistoren (F1, F2) zwischen dem Source-Anschluß (S) und dem Drain-Anschluß (D) jeweils eine Diode (D1, D2) vorhanden ist.

20

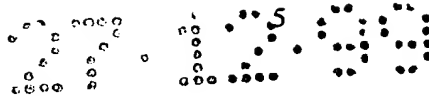
12. Schaltungsanordnung nach einem oder mehreren der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß im Leistungsschalter (LT) zwischen dem Gate-Anschluß (G) und einem weiteren Anschluß (S) eine Eingangskapazität (C) vorhanden ist.

25

13. Schaltungsanordnung nach den Ansprüchen 1 bis 12, dadurch gekennzeichnet, daß die beiden Feldeffekttransistoren (F1, F2) bewirken, daß die beiden Eingangsimpulse (T1p, T1n) jeweils in längere Impulse, die den Leistungsschalter (LT) entweder Einschalten und den eingeschalteten Zustand beibehalten (T3p) oder den Leistungsschalter Ausschalten und den ausgeschalteten Zustand beibehalten (T3n), umgewandelt werden.

30

14. Schaltungsanordnung nach Anspruch 13, dadurch gekennzeichnet, daß die Dauer der Periode (T) der in den Eingang des Übertragers (Ü) eingegebenen Impulse (T1p, T1n)



der Länge der zur Ansteuerung des Leistungsschalters (LT) erforderlichen Periode ($T_{3p} + T_{3n}$) der Impulse (T_{3p} , T_{3n}) entspricht.

- 5 15. Schaltungsanordnung nach einem oder mehreren der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die am Leistungsschalter (LT) anliegenden Impulse (T_{3p} , T_{3n}) ein beliebiges Verhältnis ihrer Zeitdauer (Tastverhältnis) aufweisen kann.
- 10 16. Schaltungsanordnung einem oder mehreren der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß bei Verwendung eines Übertragers (Ü) mit entgegengesetztem Wicklungssinn von Primär- und Sekundärseite sich die Spannungsrichtung des am Leistungsschalters (LT) anliegenden Impulse (T_{3n} , T_{3p}) umkehrt.

Fig. 1

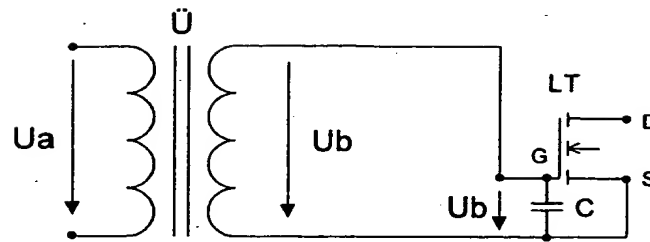


Fig. 1 entspricht dem Stand der Technik

Fig. 2

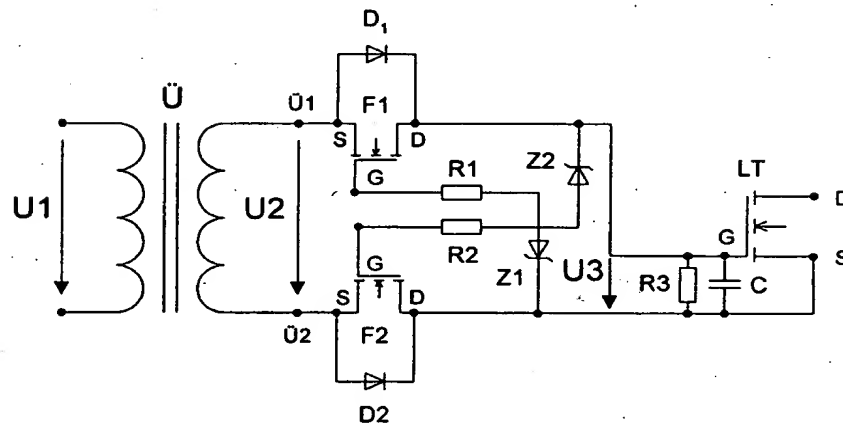
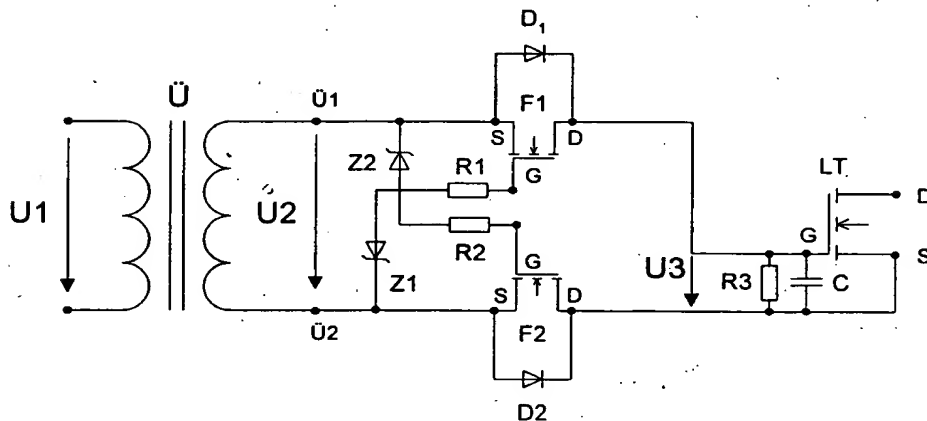
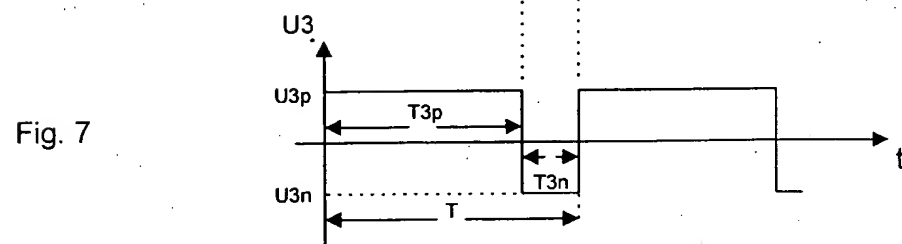
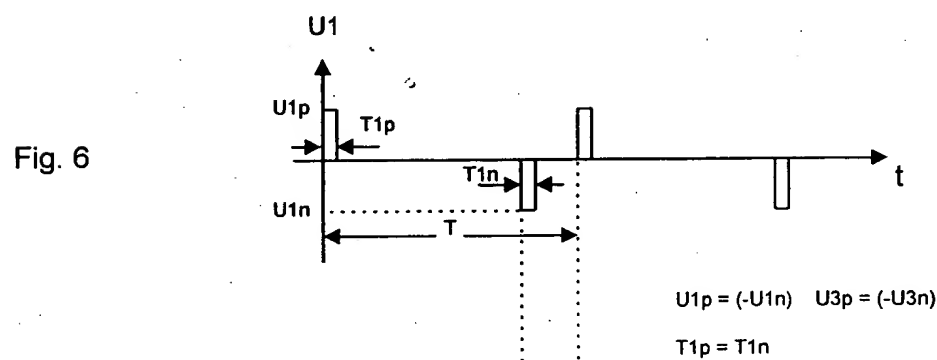
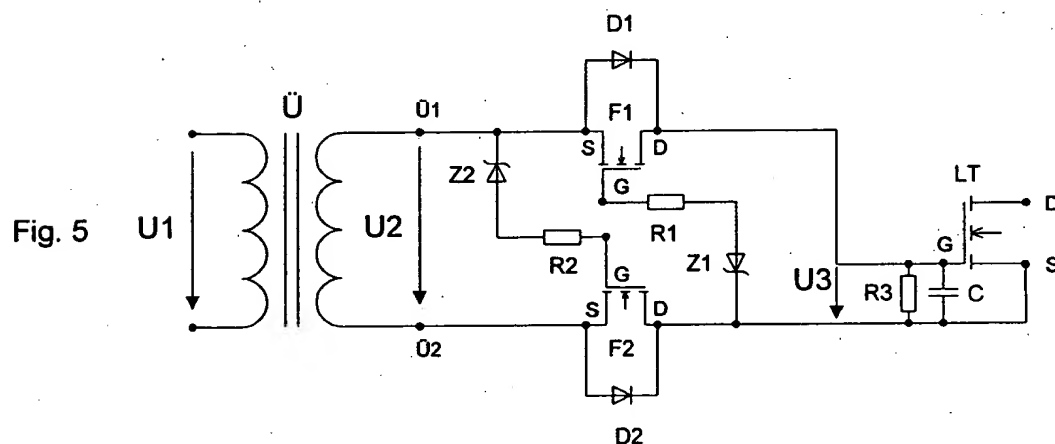
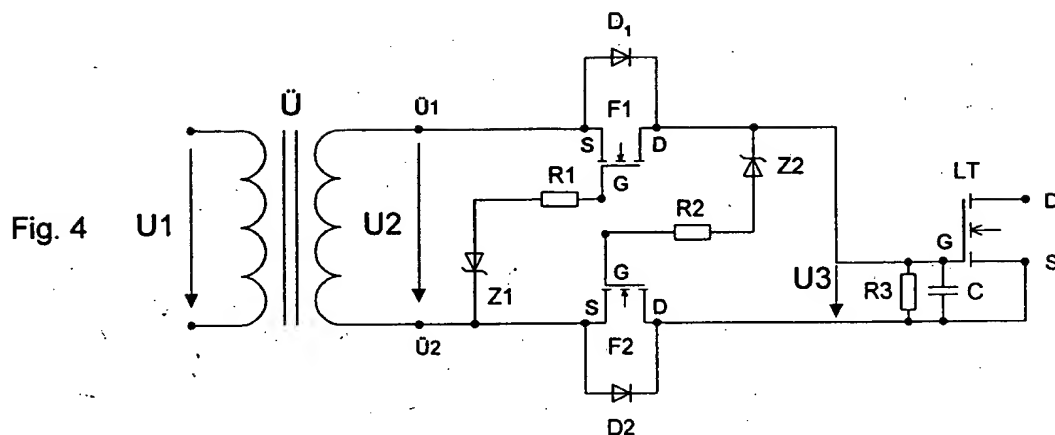


Fig. 3



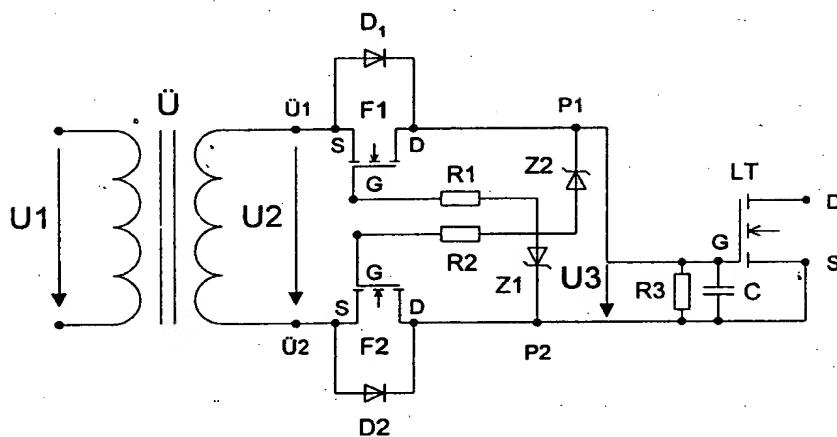


Schaltungsanordnung zur galvanisch isolierten Ansteuerung eines Leistungstransistors

Zusammenfassung

Bei einer Schaltungsanordnung zur Ansteuerung eines ladungsgesteuerten Leistungsschalters LT über einen Übertrager \bar{U} wird in den Eingang des Übertragers ein Spannungssignal, welches aus Impulsen von kurzer Dauer T_{1p} und T_{1n} in positiver und negativer Richtung besteht, eingegeben. Zwei auf der Sekundärseite des Übertragers \bar{U} eingesetzte Feldeffekttransistoren F1 und F2 wandeln die Impulse T_{1p} , T_{1n} in Impulse mit positiver und negativer Richtung T_{3p} , T_{3n} , deren Impulsdauer bis zum Beginn des nächsten Eingangsimpulses mit umgekehrter Spannungsrichtung T_{1n} , T_{1p} verlängert werden, um, die den Leistungsschalter LT sicher ansteuern. In den Feldeffekttransistoren F1 und F2 ist zwischen dem Source-Anschluß S und dem Drain-Anschluß D je eine Diode D1 und D2 vorhanden. Vor die Gate-Anschlüsse der Feldeffekttransistoren F1 und F2 ist jeweils eine Serienschaltung aus Widerstand und Zenerdiode geschaltet.

Zeichnung zur Zusammenfassung



THIS PAGE BLANK (USPTO)